

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-293790

(43)公開日 平成9年(1997)11月11日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L	27/08
	27/092			21/28
	21/28	3 0 1		21/90
	21/768			
				3 2 1 F
				3 0 1 R
				C

審査請求 有 請求項の数10 O L (全 9 頁)

(21)出願番号 特願平8-105207

(22)出願日 平成8年(1996)4月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井上 顕

東京都港区芝五丁目7番1号 日本電気株式会社内

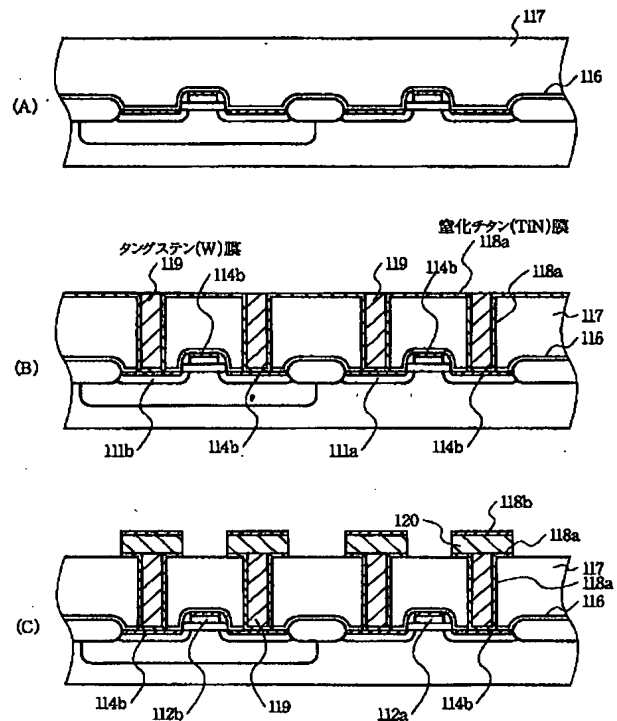
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】サリサイド構造を有するCMOSトランジスタにおける高アスペクト比コンタクトホールと金属配線の構造およびその製造方法を提供する。

【解決手段】N型不純物拡散層111a上、P型不純物拡散層111b上、N型多結晶シリコンゲート112a上およびP型多結晶シリコンゲート112b上にチタンシリサイド膜114bを形成し、次いで、層間絶縁膜117を形成した後、チタンシリサイド膜114bに達するコンタクトホールを開口する。次いで、チタンシリサイド膜表面を清浄化した後、異方性スパッタ法によりTiN膜118aを形成し、W-CVD法およびWエッチバック法によりアルミ配線を形成する。



## 【特許請求の範囲】

【請求項 1】 単結晶シリコン基板に N 型不純物拡散層および P 型不純物拡散層ならびに一対の多結晶シリコンゲート電極を有して CMOS を構成し、前記不純物拡散層の表面ならびに前記多結晶シリコンゲート電極の表面に高融点金属シリサイド膜を有し、その上に層間絶縁膜が被着され、前記層間絶縁膜に前記不純物拡散層上の前記高融点金属シリサイド膜に達するコンタクトホールが設けられた半導体装置において、窒化チタン膜が前記コンタクトホールの内壁および前記高融点金属シリサイド膜の上面に被着して形成され、前記窒化チタン膜に被着したタングステン膜が前記コンタクトホール埋設して形成され、前記コンタクトホール内から前記層間絶縁膜の上面に被着した前記窒化チタン膜の箇所が前記層間絶縁膜の上面を延在する配線の下層膜となっていることを特徴とする半導体装置。

【請求項 2】 前記 P 型不純物拡散層および前記 N 型不純物拡散層と前記高融点シリサイド膜との界面は略平坦であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記界面における凹凸差は 10 nm 以下であることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記高融点金属シリサイド膜は、チタンシリサイド膜、コバルトシリサイド膜もしくはニッケルシリサイド膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記一対の多結晶シリコンゲート電極の一方は N 型不純物を含有する N 型多結晶シリコンゲート電極であり、他方は P 型不純物を含有する P 型多結晶シリコンゲート電極であることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記一対の多結晶シリコンゲート電極は両者とも N 型不純物を含有する N 型多結晶シリコンゲート電極であることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 単結晶シリコン基板内に P 型不純物拡散層および N 型不純物拡散層を、前記単結晶シリコン基板上に P 型不純物を含有する多結晶シリコンゲート電極および N 型不純物を含有する多結晶シリコンゲート電極をそれぞれ形成する一連の工程と、前記 P 型不純物拡散層および P 型不純物を含有する多結晶シリコンゲート電極と前記 N 型不純物拡散層および N 型不純物を含有する多結晶シリコンゲート電極の表面に高融点金属シリサイド膜を形成する工程と、その上に層間絶縁膜を形成する工程と、前記層間絶縁膜に前記不純物拡散層表面の前記高融点金属シリサイド膜に達するコンタクトホールを形成する工程と、前記コンタクトホール内に露出する前記高融点金属シリサイド膜の表面を清浄する工程と、全面に窒化チタン膜を形成する工程と、前記窒化チタン膜上にタングステン膜を形成する工程と、前記タングステン膜をエッチバックにより除去し、前記コンタクトホールを

埋設する工程と、前記層間絶縁膜および前記コンタクトホール上に前記窒化チタン膜を含む配線を形成する工程とを有したことを特徴とする半導体装置の製造方法。

【請求項 8】 前記窒化チタン膜を異方性スパッタ法もしくは CVD 法で形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 単結晶シリコン基板内に P 型不純物拡散層および N 型不純物拡散層を、前記単結晶シリコン基板上にゲート電極をそれぞれ形成する一連の工程と、前記 P 型不純物拡散層および前記 N 型不純物拡散層の表面に高融点金属シリサイド膜を形成する工程と、その上に層間絶縁膜を形成する工程と、前記層間絶縁膜に前記不純物拡散層表面の前記高融点金属シリサイド膜に達するコンタクトホールを形成する工程と、前記コンタクトホール内に露出する前記高融点金属シリサイド膜の表面を清浄する工程と、全面に窒化チタン膜を形成する工程と、前記窒化チタン膜上にタングステン膜を形成する工程と、前記タングステン膜をエッチバックにより除去し、前記コンタクトホールを埋設する工程と、前記層間絶縁膜および前記コンタクトホール上に前記窒化チタン膜を含む配線を形成する工程とを有したことを特徴とする半導体装置の製造方法。

【請求項 10】 前記窒化チタン膜を異方性スパッタ法もしくは CVD 法で形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に係わり、特に CMOS 構造を有したシリサイド上への高アスペクト比コンタクトホールおよび金属配線の構造とその製造方法に関する。

## 【0002】

【従来の技術】図 5 は従来技術の半導体装置を模式的に示す断面図である。P 型単結晶シリコン基板 301 にフィールド酸化膜 303 を形成し、N 型ウェル領域 302 を形成し、P 型不純物拡散層 311b および P 型多結晶シリコンゲート電極 312b を設け、N 型不純物拡散層 311a および N 型多結晶シリコンゲート電極 312a を設けて CMOS を構成している。

【0003】P 型不純物拡散層 311b および P 型多結晶シリコンゲート電極 312b と N 型不純物拡散層 311a および N 型多結晶シリコンゲート電極 312a の上表面に高融点金属シリサイド膜 314 が形成され、その上に層間絶縁膜 317 が被着され、この層間絶縁膜 317 に高融点金属シリサイド膜 314 に達するコンタクトホールが形成されている。

【0004】このコンタクトホールに下膜のチタン膜と上膜の窒化チタン膜から成る複合膜（以下、チタン／窒化チタン膜、と称す）318 がバリアメタルとして形成され、タングステン膜 319 が埋設され、層間絶縁膜 3

## 3

17およびコンタクトホール上に配線320が形成されている。この配線は中央のアルミ膜の下にチタン/窒化チタン膜318、上に反射防止膜としての窒化チタン膜を有して構成されている。

【0005】この図5に示す方法では、CMOS構造を有したゲートおよび拡散層上に形成されたシリサイド膜に達するコンタクトホールにおいて良好なコンタクトを得ることができる。

【0006】図6は、特開平5-326441号公報に記載されているような他の従来技術の半導体装置を模式的に示す断面図である。N型不純物領域411aが形成されたP型半導体基板401の表面にSiO<sub>2</sub>よりなる層間絶縁膜417が形成されている。この層間絶縁膜417にN型不純物領域411aに通じるコンタクトホールが形成されている。コンタクトホールにより露出した層間絶縁膜の側壁とN型不純物領域の表面には、バリアメタル層として窒化チタン膜418aが形成されている。そしてこのコンタクトホール内に埋め込み層として高融点金属材料であるタングステン膜419が形成されている。さらに、層間絶縁膜の上面には、上記タングステン膜419に電気的に接続したアルミ配線層420が形成されている。

【0007】この図6に示す方法では、アスペクト比の高いコンタクトホールにおいても確実に半導体基板等とコンタクトのとれる配線層の形成を可能とすると前記公報に述べている。

## 【0008】

【発明が解決しようとする課題】現在、CMOSロジックデバイスの微細化、高集積化に伴い、拡散層およびゲート電極の低抵抗化、アルミ配線のピッチの微細化や薄膜化、コンタクトの高アスペクト比が進んでいる。そのため、0.35μmルール以降のデバイスにおいては、拡散層およびゲート電極の低抵抗化を目的とした高融点金属シリサイドを用いたシリサイドプロセスの採用や配線容量を低減する方法とした層間絶縁膜の厚膜化さらにそれに起因した高アスペクト比のコンタクト形成が要求されている。

【0009】このような背景から、0.35μmルール以降のロジックデバイスにおいては、拡散層およびゲート電極上のシリサイドへの高アスペクト比のコンタクトの形成技術やアルミ配線の多層化、微細化が必要となっている。しかしながら、高アスペクト比のコンタクトにおいては、コンタクトのボトムカバレッジを増加させるために堆積するバリアメタルの厚膜化が必要となり、アルミ配線に占めるバリアメタルの割合が増加する。このことは所望の層抵抗を得るためにアルミ配線の膜厚を増加することになり、結果として、微細で厚いアルミ配線をパターンニングすることがドライエッチングプロセスにおいて問題になる。

【0010】このような背景から、従来例を示す図5の

## 4

方法では、コンタクトホールの高アスペクト比が進むことでボトムカバレッジが減少するためにチタン、窒化チタンを厚く堆積しなければならず、結果として、アスペクト比の増加に伴って酸化膜上のバリアメタルの複合膜であるチタン/窒化チタン膜318の膜厚が増加してしまい、後工程のアルミ配線のドライエッチングが困難であった。ここでチタン/窒化チタン膜318を何らかの方法で除去してからアルミ配線（アルミ+上層のTiN）を形成すると、層間絶縁膜のシリコン酸化膜に直接アルミが接触してしまい問題となる。また、タングステンエッチバック時に層間絶縁膜上のチタン/窒化チタン膜318を除去し新たにチタン/窒化チタン膜を形成する方法は、タングステンエッチバック時にコンタクトホール内壁部分のチタン/窒化チタン膜318も除去されそこに空洞が形成されコンタクトの信頼性が劣化してしまう。

【0011】また、一方では、従来のシリサイドプロセスにおいて消費される基板Si量、コンタクト開口にオーバーエッチングされるSi量、コンタクト開口後にスパッタされたチタンとコンタクト底部の基板Siとのシリサイド化反応により消費されるSi量の総量が拡散層の接合深さに比べ、少なかったために良好なコンタクト抵抗および接合リーク電流特性を得られていた。しかし、微細化が進み拡散層の接合の深さが100nm以下と浅くなってくると、コンタクト開口時のオーバーエッチングされるSi量とコンタクト開口後にスパッタされたチタンと基板Siとのシリサイド化反応により消費されるSi量が無視できなくなり、接合リーク電流の増加が問題となっていた。その解決策として、コンタクト開口時にシリサイド工程で形成されたシリサイドをエッチングしない方法が必要となった。しかし、この方法をとってもコンタクト開口後にスパッタされたチタンとシリサイドを介した基板Siとのシリサイド化反応により消費されるSi量が無視できないため、良好なコンタクト抵抗や接合リーク電流特性を得ることが困難であった。

【0012】また、他の従来例を示す図6の方法では、N型不純物拡散層とのコンタクトを良好にとることが可能であるが、P型不純物拡散層との良好なコンタクトを実現することは困難である。なぜなら、窒化チタンとP型不純物拡散層との接触抵抗が高いためである。そのため、CMOS構造を有した半導体装置には、この方法では良好なコンタクトの電気特性を実現することは困難であった。以上のことより、従来技術では、微細配線の形成及び高アスペクト比のコンタクトにおいて良好な特性を得ることは困難であった。

## 【0013】

【課題を解決するための手段】本発明の特徴は、単結晶シリコン基板にN型不純物拡散層およびP型不純物拡散層ならびに一对の多結晶シリコンゲート電極を有してCMOSを構成し、前記不純物拡散層の表面ならびに前記

10

20

30

40

50

多結晶シリコンゲート電極の表面に高融点金属シリサイド膜を有し、その上に層間絶縁膜が被着され、前記層間絶縁膜に前記不純物拡散層上の前記高融点金属シリサイド膜に達するコンタクトホールが設けられた半導体装置において、窒化チタン膜が前記コンタクトホールの内壁および前記高融点金属シリサイド膜の上面に被着して形成され、前記窒化チタン膜に被着せるタングステン膜が前記コンタクトホール埋設して形成され、前記コンタクトホール内から前記層間絶縁膜の上面に被着した前記窒化チタン膜の箇所が前記層間絶縁膜の上面を延在する配線の下層膜となっている半導体装置にある。ここで前記P型不純物拡散層および前記N型不純物拡散層と前記高融点シリサイド膜との界面は略平坦であること、例えば前記界面における凹凸差は10nm以下であることが好ましい。また、前記高融点金属シリサイド膜は、チタンシリサイド( $TiSi_2$ )膜、コバルトシリサイド( $CoSi_2$ )膜もしくはニッケルシリサイド( $NiSi_2$ )膜であることができる。さらに、前記一対の多結晶シリコンゲート電極の一方はN型不純物を含有するN型多結晶シリコンゲート電極であり、他方はP型不純物を含有するP型多結晶シリコンゲート電極であることができる。あるいは、前記一対の多結晶シリコンゲート電極は両者ともN型不純物を含有するN型多結晶シリコンゲート電極であることができる。

【0014】本発明の他の特徴は、単結晶シリコン基板内にP型不純物拡散層およびN型不純物拡散層を、前記単結晶シリコン基板上にP型不純物を含有する多結晶シリコンゲート電極およびN型不純物を含有する多結晶シリコンゲート電極をそれぞれ形成する一連の工程と、前記P型不純物拡散層およびP型不純物を含有する多結晶シリコンゲート電極と前記N型不純物拡散層およびN型不純物を含有する多結晶シリコンゲート電極の表面に高融点金属シリサイド膜を形成する工程と、その上に層間絶縁膜を形成する工程と、前記層間絶縁膜に前記不純物拡散層表面の前記高融点金属シリサイド膜に達するコンタクトホールを形成する工程と、前記コンタクトホール内に露出する前記高融点金属シリサイド膜の表面を清浄する工程と、全面に窒化チタン膜を形成する工程と、前記窒化チタン膜上にタングステン膜を形成する工程と、前記タングステン膜をエッチバックにより除去し、前記コンタクトホールを埋設する工程と、前記層間絶縁膜および前記コンタクトホール上に前記窒化チタン膜を含む配線を形成する工程とを有した半導体装置の製造方法にある。あるいは、単結晶シリコン基板内にP型不純物拡散層およびN型不純物拡散層を、前記単結晶シリコン基板上にゲート電極をそれぞれ形成する一連の工程と、前記P型不純物拡散層および前記N型不純物拡散層の表面に高融点金属シリサイド膜を形成する工程と、その上に層間絶縁膜を形成する工程と、前記層間絶縁膜に前記不純物拡散層表面の前記高融点金属シリサイド膜に達する

コンタクトホールを形成する工程と、前記コンタクトホール内に露出する前記高融点金属シリサイド膜の表面を清浄する工程と、全面に窒化チタン膜を形成する工程と、前記窒化チタン膜上にタングステン膜を形成する工程と、前記タングステン膜をエッチバックにより除去し、前記コンタクトホールを埋設する工程と、前記層間絶縁膜および前記コンタクトホール上に前記窒化チタン膜を含む配線を形成する工程とを有した半導体装置の製造方法にある。ここで、前記窒化チタン膜を異方性スパッタ法もしくはCVD法で形成することができる。

【0015】このような本発明によれば、単結晶シリコン基板に形成されたP型不純物拡散層とN型不純物拡散層の表面に高融点金属シリサイド膜を形成し、上部に層間絶縁膜を形成する。この高融点金属シリサイド膜に達するコンタクトホールを形成し、高融点金属シリサイド膜の表面を清浄した後、全面にバリアメタルとして窒化チタン膜のみを異方性スパッタ法により形成する。この窒化チタン膜上にタングステン膜を形成しタングステンをエッチバックにより除去し、コンタクトホールを埋設し、その上に配線を形成する。

【0016】これによって、シリサイド膜が露出したところでエッチングを止め、窒化チタン膜のみをバリアメタルとして形成することで過度なシリサイド化反応を抑制できるため、高アスペクト比を有した浅い接合のコンタクトにおいて、良好なコンタクト抵抗と接合リーク電流特性の実現が可能となる。さらに、配線の下地バリアメタルの薄膜化も同時に実現できるため、配線のドライエッチングが可能となる。

【0017】

【発明の実施の形態】以下、図面を参照して本発明を説明する。

【0018】図1及び図2は本発明の第1の実施の形態の半導体装置の製造方法を工程順に示した縦断面図である。

【0019】まず図1(A)において、P型単結晶シリコン基板101のPチャネルFETを形成する領域に、リンを $150keV$ 、 $1 \times 10^{13}/cm^2$ の条件でイオン注入し、その後の活性化熱処理によりN型ウェル領域102を形成する。その後、基板主表面に選択酸化法により膜厚400nmのフィールド酸化膜103を形成する。次いで、フィールド酸化膜103に囲まれた活性領域のP型の主面およびN型の主面に膜厚6nmのゲート酸化膜104と膜厚200nmの多結晶シリコン膜を順次成長する。次いでフォトリソグラフィ法によりゲート電極のパターニングを行い、多結晶シリコン膜をRIEによりエッチングし、多結晶シリコン膜をゲート電極としてパターニングする。次いで、サイドウォール形成のためのシリコン窒化( $Si_3N_4$ )膜をCVD法により膜厚65nm程度、全面に形成する。シリコン窒化膜はジクロルシランガス( $SiH_2Cl_2$ )、アンモニアガ

## 7

ス(NH<sub>3</sub>)を導入し、750℃、0.5 Torrの条件下で形成した。次いでRIE方式の異方性エッチング装置を用いてゲート電極の側面にサイドウォール110を形成し、ゲート電極および活性領域の表面を露出させる。ここで、エッチングガスはCHF<sub>3</sub>(25 sccm)、O<sub>2</sub>(10 sccm)である。

【0020】次いで、ゲート電極を構成している多結晶シリコン膜および活性領域の表面に酸化膜を形成した後、Pチャネル型FETを形成する領域をマスク材(図示省略)でマスクしてNチャネル型FETを形成する領域にAsイオンを注入エネルギー30keV、打ち込み量 $3 \times 10^{15}/\text{cm}^2$ でイオン注入し、その後、Nチャネル型FETを形成する領域をマスク材(図示省略)でマスクしてPチャネル型FETを形成する領域にBF<sub>2</sub>イオンを注入エネルギー20keV、打ち込み量 $3 \times 10^{15}/\text{cm}^2$ でイオン注入する。その後、窒素雰囲気中で1000℃、10秒の活性化熱処理を行うことにより、Nチャネル型FETのソースおよびドレイン領域となるN型不純物拡散層111aをP型単結晶シリコン基板101のP型主面から内部に形成し、多結晶シリコンゲート電極からN型多結晶シリコンゲート112aを形成する。また、Pチャネル型FETのソースおよびドレイン領域となるP型不純物拡散層111bをN型ウエル102のN型主面から内部に形成し、多結晶シリコンゲート電極からP型多結晶シリコンゲート112bを形成する。

【0021】次いで各不純物拡散層および多結晶シリコンゲート電極の表面に形成された自然酸化膜をフッ酸により除去した後、Ti膜113をスパッタ法により30nm程度堆積する。

【0022】次に、図1(B)において、窒素雰囲気中でハロゲンランプの急速熱処理法(RTA: Rapid Thermal Annealing)により700℃、30秒の熱処理を行い、Nチャネル型FETのN型不純物拡散層111aの表面上およびN型多結晶シリコンゲート112aの表面上、ならびにPチャネル型FETのP型不純物拡散層111bの表面上およびP型多結晶シリコンゲート112bの表面上にそれぞれ膜厚50nmのC49構造のチタンシリサイド膜(TiSi<sub>2</sub>膜)114aを形成する。一方、シリコン窒化膜のサイドウォール110上やフィールド酸化膜103上は窒化チタン膜115が形成される。

【0023】次に、図1(C)において、アンモニアと過酸化水素水の混合液により選択的にウェットエッチングし、シリコン窒化膜のサイドウォール110上やフィールド酸化膜103上の窒化チタン膜115のみを除去する。そして、C49構造のTiSi<sub>2</sub>膜114aの低抵抗化のために、RTA法により窒素雰囲気中で850℃、10秒間の熱処理を行い、N型不純物拡散層111a上、P型不純物拡散層111b上、N型多結晶シリ

## 8

コンゲート112a上およびP型多結晶シリコンゲート112b上にこれらの不純物拡散層や多結晶シリコンよりも電気抵抗の小さなC54構造のTiSi<sub>2</sub>膜114bを得る。

【0024】次に、図2(A)において、層間絶縁膜として不純物を含まないシリコン酸化膜であるNSG膜116をCVD法により100nmの厚さで堆積し、続いてボロンあるいはリンなどの不純物を含んだシリコン酸化膜であるBPSG膜117をやはりCVD法により1500nmの厚さでNSG膜上に堆積する。その後、化学機械研磨法(CMP)によりこの層間絶縁膜の平坦化を行う。

【0025】次に、図2(B)において、既知のリソグラフィとエッチングとによって、N型不純物拡散層111a上及びP型不純物拡散層111b上に形成されているC54構造のTiSi<sub>2</sub>膜114bに達するコンタクトホールを層間絶縁膜117、116に開口する。この際、C54構造のTiSi<sub>2</sub>膜114bはエッチングしない。

【0026】このようにコンタクト開口時にシリサイド膜をエッチングせず形成し、かつ、もう一度シリサイドが反応が生じない。そのため、コンタクト開口前のシリサイド界面と同等の平坦度が得られる。すなわちP型不純物拡散層およびN型不純物拡散層と高融点シリサイド膜との界面は略平坦となる。具体的には、1個のコンタクト部内において、この界面における凹凸差は10nm以下にすることができる。これによりコンタクト部での接合リーク電流を低減することができる。

【0027】次いでDCマグネトロンスパッタ装置に導入し、ArイオンによるRFエッチを行い、コンタクトホール内に露出するC54構造のTiSi<sub>2</sub>膜114bの表面に形成されている酸化膜をエッチングし、その後スパッタチャンバーに搬送して、コリメートスパッタ法により窒化チタン(TiN)膜118aを膜厚50nm形成する。

【0028】この際、0.35μm径、深さ1μmのコンタクト底部には、TiN膜が10nm程度堆積される。この場合、CVD法によりTiN膜を形成しても良く、この場合にはコリメートスパッタに比べ、さらにステップカバレージ率が高いために50nm以下の膜厚の形成が可能となる。

【0029】コンタクト開口時にTiSi<sub>2</sub>膜114bをエッチングしないことで、その後のコンタクト材料であるTiのスパッタが必要なくなることや、アルミ配線の下地バリアメタルの膜厚が薄膜化されることで、アルミのドライエッチングが容易になる。次いで、W-CVDとWエッチバック法により、コンタクトホールにW膜119を埋設する。

【0030】次に、図2(C)において、Al-0.5%Cu膜120、TiN膜118bをスパッタ法により

順次形成する。この際、配線の主材料であるAl-O. 5%Cu膜120の膜厚は400nmであり、リソグラフィ時の反射防止膜であるTiN膜118bの膜厚は50nmである。

【0031】ついで、既知のリソグラフィとドライエッチング法により、配線を形成する。すなわちTiN膜118bと、Al-O. 5%Cu膜120と、層間絶縁膜117上を延在するTiN膜118aを同一平面形状にパターニングして配線を構成する。

【0032】図3及び図4は本発明の第2の実施の形態の半導体装置の製造方法を工程順に示した縦断面図である。

【0033】まず図3(A)において、P型単結晶シリコン基板201のPチャンネルFETを形成する領域に、リンを150keV、 $1 \times 10^{13}/\text{cm}^2$ の条件でイオン注入し、その後の活性化熱処理によりN型ウェル領域202を形成する。その後、基板主表面に選択酸化法により膜厚300nmのフィールド酸化膜203を形成する。次いでフィールド酸化膜203に囲まれた活性領域のP型の主面およびN型の主面に膜厚6nmのゲート酸化膜204と膜厚200nmのリン含有の多結晶シリコン膜205及びタングステンシリサイド(WSi)206を順次成長する。次いでフォトリソグラフィ法によりゲート電極のパターニングを行い、WSi膜206、リン含有多結晶シリコン膜205をRIEによりエッチングし、WSi膜206、リン含有多結晶シリコン膜205からなるポリサイドゲート電極としてパターニングする。

【0034】次いでサイドウォール形成のためのシリコン窒化( $\text{Si}_3\text{N}_4$ )膜をCVD法により膜厚65nm程度、全面に形成する。シリコン窒化膜はジクロルシランガス( $\text{SiH}_2\text{Cl}_2$ )、アンモニアガス( $\text{NH}_3$ )を導入し、750℃、0.5Torrの条件で形成した。次いでRIE方式の異方性エッチング装置を用いてゲート電極の側面にサイドウォール210を形成し、ゲート電極および活性領域の表面を露出させる。ここで、エッチングガスは $\text{CHF}_3$ (25sccm)ガスと $\text{O}_2$ (10sccm)ガスの混合ガスである。

【0035】次いで活性領域の表面に酸化膜を形成した後、Pチャンネル型FETを形成する領域をマスク材(図示省略)でマスクしてNチャンネル型FETを形成する領域にAsイオンを注入エネルギー30keV、打ち込み量 $3 \times 10^{15}/\text{cm}^2$ でイオン注入し、その後、Nチャンネル型FETを形成する領域をマスク材(図示省略)でマスクしてPチャンネル型FETを形成する領域にBF<sub>2</sub>イオンを注入エネルギー20keV、打ち込み量 $3 \times 10^{15}/\text{cm}^2$ でイオン注入する。その後、窒素雰囲気中で1000℃、10秒の活性化熱処理を行うことにより、Nチャンネル型FETのソースおよびドレイン領域となるN型不純物拡散層211aをP型単結晶シリコン基

板201のP型主面から内部に形成する。また、Pチャンネル型FETのソースおよびドレイン領域となるP型不純物拡散層211bをN型ウェル202のN型主面から内部に形成する。

【0036】次いで、各不純物拡散層表面に形成された自然酸化膜をフッ酸により除去した後、コバルト膜(Co膜)213をスパッタ法により膜厚10nm程度堆積する。

【0037】次に、図3(B)において、窒素雰囲気中でハロゲンランプの急速熱処理法により500℃、30秒の熱処理を行い、Nチャンネル型FETのN型不純物拡散層211aの表面上ならびにPチャンネル型FETのP型不純物拡散層211bの表面上にコバルトシリサイド(CoSi)膜214aを形成する。

【0038】次に、図3(C)において、塩酸と過酸化水素水の混合液により選択的にウェットエッチングし、シリコン窒化膜のサイドウォール210上、フィールド酸化膜203上及びWSi<sub>2</sub>膜206上のCo膜213のみを除去する。

【0039】そして、CoSi膜214aの低抵抗化のために、RTA法により窒素雰囲気中で850℃、10秒間の熱処理を行い、N型不純物拡散層211a上及びP型不純物拡散層211b上にこれらの不純物拡散層や多結晶シリコンよりも電気抵抗の小さなコバルトシリサイド(CoSi<sub>2</sub>)膜214bを得る。

【0040】次に、図4(A)において、層間絶縁膜として不純物を含まないシリコン酸化膜であるNSG膜216をCVD法により100nmの厚さで堆積し、続いてボロンあるいはリンなどの不純物を含んだシリコン酸化膜であるBPSG膜217をやはりCVD法により1500nmの厚さでNSG膜216上に堆積する。その後、化学機械研磨法(CMP)によりこの層間絶縁膜の平坦化を行う。

【0041】次に、図4(B)において、既知のリソグラフィとエッチングとによって、N型不純物拡散層211a上及びP型不純物拡散層211b上に形成されているCoSi<sub>2</sub>膜214bに達するコンタクトホールを層間絶縁膜217、216に開口する。この際、CoSi<sub>2</sub>膜214bはエッチングしない。

【0042】次いで、DCマグネトロンスパッタ装置に導入し、ArイオンによるRFエッチを行い、コンタクトホール内に露出するCoSi<sub>2</sub>膜214bの表面に形成されている酸化膜をエッチングし、その後スパッタチャンバーに搬送して、コリメートスパッタ法により窒化チタン(TiN)膜218aを膜厚50nm形成する。

【0043】この際、0.35μm径、深さ1μmのコンタクト底部には、TiN膜が10nm程度堆積される。この場合、CVD法によりTiN膜を形成しても良く、この場合にはコリメートスパッタに比べ、さらにステップカバレージ率が高いために50nm以下の膜厚の

形成が可能となる。

【0044】コンタクト開口時にCoSi<sub>2</sub>膜214bをエッチングしないことで、その後のコンタクト材料であるTiのスパッタが必要なくなることや、アルミ配線の下地バリア金属の膜厚が薄膜化されることで、アルミのドライエッチングが容易になる。次いで、W-CVDとWエッチバック法により、コンタクトホールにW膜219を埋設する。

【0045】次に、図4(C)において、配線の主材料である膜厚400nmのAl-0.5%Cu膜220、及び反射防止膜である膜厚50nmのTiN膜218bをスパッタ法により順次形成し、リソグラフィとドライエッチング法により、TiN膜218bと、Al-0.5%Cu膜220と、層間絶縁膜217上を延在するTiN膜218aを同一平面形状にパターンニングして配線を構成する。

【0046】

【発明の効果】このように本発明によれば、シリサイド膜が露出したところでエッチングを止め、窒化チタン膜のみを異方性スパッタ法、あるいはCVD法により形成することで過度なシリサイド化反応を抑制できるため、高アスペクト比を有した浅い接合のコンタクトにおいて、良好なコンタクト抵抗と接合リーク電流特性の実現が可能となり、さらにアルミ下のバリア金属をバリア金属を薄膜化出来ることでその後のアルミ配線のドライエッチングが簡単になるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の製造方法を工程順に示した断面図である。

【図2】図1の続きの工程を順に示した断面図である。

【図3】本発明の第2の実施の形態の半導体装置の製造方法を工程順に示した断面図である。

【図4】図3の続きの工程を順に示した断面図である。

【図5】従来技術を示す断面図である。

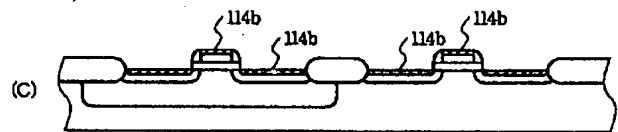
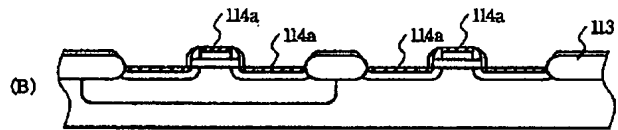
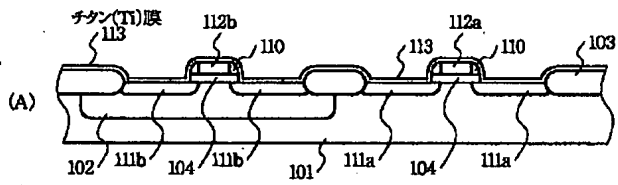
【図6】他の従来技術を示す断面図である。

【符号の説明】

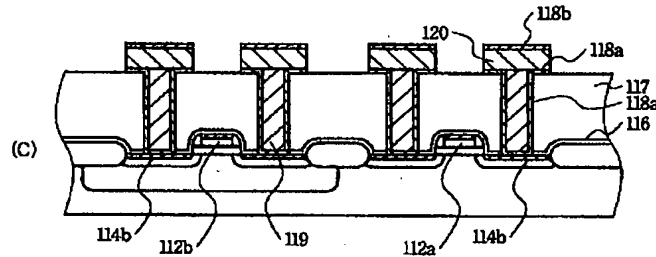
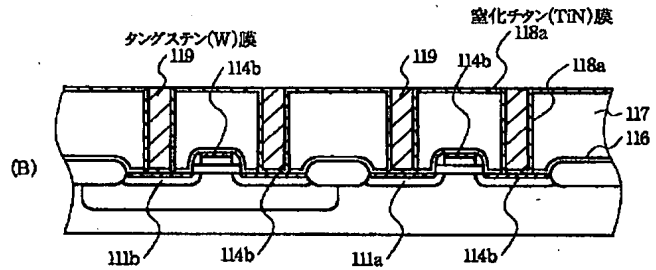
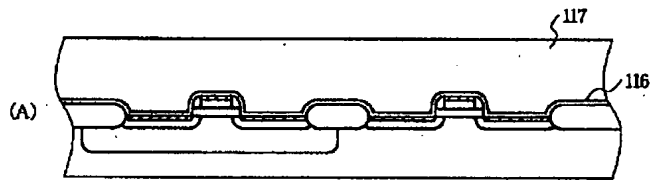
- 101 P型単結晶シリコン基板
- 102 N型ウェル領域
- 103 フィールド酸化膜
- 104 ゲート酸化膜
- 110 サイドウォール
- 111a N型不純物拡散層
- 111b P型不純物拡散層
- 112a N型多結晶シリコンゲート
- 112b P型多結晶シリコンゲート
- 113 チタン(Ti)膜

- 114a C49構造のチタンシリサイド(TiSi<sub>2</sub>)膜
- 114b C54構造のチタンシリサイド(TiSi<sub>2</sub>)膜
- 115 窒化チタン(TiN)膜
- 116 NSG膜
- 117 BPSG膜
- 118a TiN膜
- 118b TiN膜
- 119 タングステン(W)膜
- 120 Al-0.5%Cu膜
- 201 P型単結晶シリコン膜
- 202 Nウェル領域
- 203 フィールド酸化膜
- 204 ゲート酸化膜
- 205 リン含有多結晶シリコン膜
- 206 タングステンシリサイド(WSi<sub>x</sub>)膜
- 210 サイドウォール
- 211a N型不純物拡散層
- 211b P型不純物拡散層
- 213 コバルト(Co)膜
- 214a コバルトシリサイド(CoSi)膜
- 214b コバルトシリサイド(CoSi)膜
- 216 NSG膜
- 217 BPSG膜
- 218a TiN膜
- 218b TiN膜
- 219 W膜
- 220 Al-0.5%Cu膜
- 301 単結晶シリコン膜
- 311a N型不純物拡散層
- 311b P型不純物拡散層
- 312a N型多結晶シリコンゲート
- 312b P型多結晶シリコンゲート
- 314 高融点金属シリサイド膜
- 317 層間絶縁膜
- 318 チタン/窒化チタン膜
- 319 タングステン膜
- 320 配線
- 401 P型半導体基板
- 411a N型の不純物領域
- 417 層間絶縁膜
- 418a 窒化チタン膜
- 419 タングステン膜
- 420 アルミ配線層

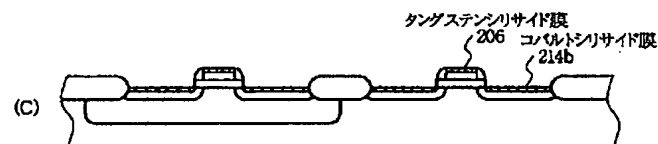
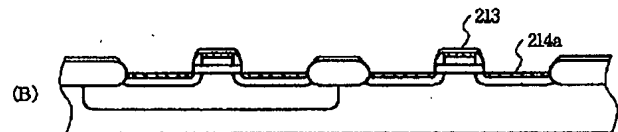
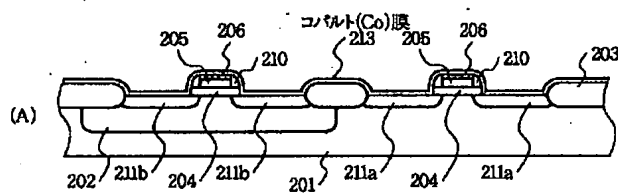
【図1】



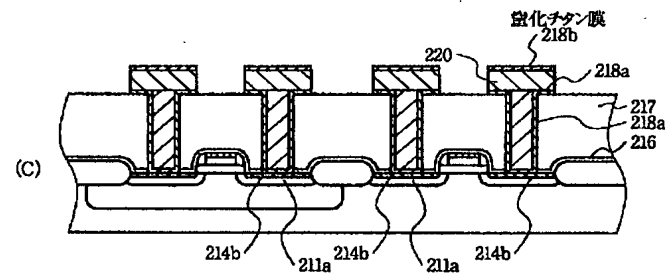
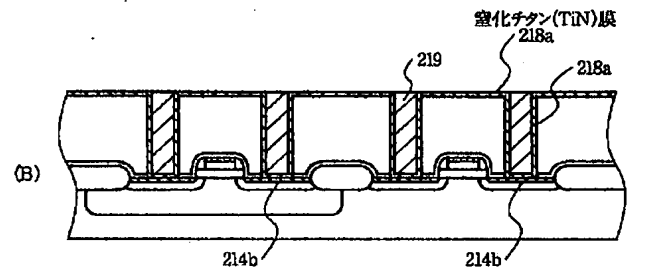
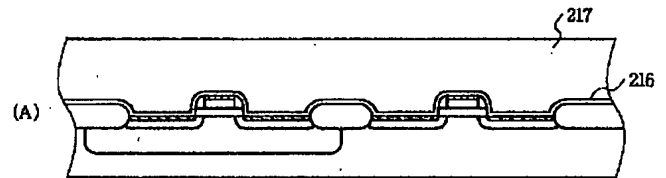
【図2】



【図3】



【図4】

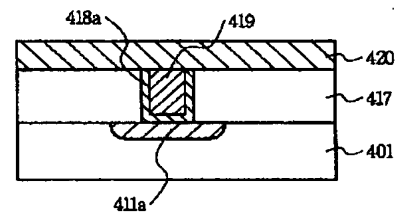




【図 5】



【图 6】



L1: Entry 1 of 4

File: JPAB

Nov 11, 1997

PUB-NO: JP409293790A  
DOCUMENT-IDENTIFIER: JP 09293790 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: November 11, 1997

INVENTOR-INFORMATION:

COUNTRY

NAME

INOUE, AKIRA

INT-CL (IPC): H01 L 21/8238; H01 L 27/092; H01 L 21/28; H01 L 21/768

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a CMOS transistor possessed of a salicide structure, a contact hole of high aspect ratio, and a metal wiring.

SOLUTION: A titanium silicide film 114b is formed on an N-type impurity diffusion layer 111a, a P-type impurity diffusion layer 111b, an N-type polycrystalline silicon gate 112a, and a P-type polycrystalline silicon gate 112b, an interlayer insulating film 117 is formed, and then a contact hole is provided so as to reach the titanium silicide film 114b. Then, the surface of the titanium silicide film 114b is cleaned, a TiN film 118a is formed through an anisotropic sputtering method, and an aluminum wiring is formed through a W-CVD method and a W etching-back method.

Oct 16, 2000

LI: Entry 3 of 4

File: DWPI

DERWENT-ACC-NO: 1998-039500

DERWENT-WEEK: 200138

COPYRIGHT 2002 DERWENT INFORMATION LTD

TITLE: Semiconductor device with high contact hole aspect ratio - includes aluminium wiring layer formed on titanium nitride film, covering part of insulation layer on both sides of contact hole

PRIORITY-DATA: 1996JP-0105207 (April 25, 1996)

## PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 268965 B1	October 16, 2000		000	H01L021/8238
JP 09293790 A	November 11, 1997		009	H01L021/8238
KR 97072109 A	November 7, 1997		000	H01L021/28

INT-CL (IPC): H01 L 21/28; H01 L 21/768; H01 L 21/8238; H01 L 27/092

ABSTRACTED-PUB-NO: JP 09293790A

## BASIC-ABSTRACT:

The device includes an N-type impurity diffusion layer (111a), a P-type impurity diffusion layer (111b) and a pair of polycrystalline silicon gate electrodes (112a, 112b), on a single crystal silicon substrate (101). A titanium silicide film (114b) is formed covering the impurity diffusion layers and the polycrystalline silicon gate electrode. An interlayer insulating film (117) is attached to it. A set of contact holes are formed by etching the interlayer insulating film covering the titanium silicide film.

A titanium nitride film (118a) is formed on the inner peripheral side of the contact hole covering the upper surface titanium silicide film. A tungsten film (119) is layered on the titanium nitride film. An aluminium wiring layer (120) is formed on the titanium film covering a part of the insulation layer on both sides of the contact hole.

ADVANTAGE - Simplifies etching of aluminium wiring. Attains realisation of required resistance and junction leak current.

## 拒絶理由通知書

特許出願の番号 平成11年 特許願 第230500号  
起案日 平成14年 3月15日  
特許庁審査官 安田 雅彦 9447 4L00  
特許出願人代理人 金田 暢之(外 2名) 様  
適用条文 第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

[請求項1-4]

理由：1

引用文献等：1, 2, 3

(備考)

引用文献1（特に実施例1に関する記載を参照）には、開口部内を含む絶縁層上に遠距離スパッタ法等の指向性スパッタ法によりTi層及びTiN層を成膜し、その上にタングステンを堆積させ、エッチバックを行って絶縁層上のタングステン層、TiN層、Ti層を除去し、その後にアルミニウム膜を形成する発明が記載されている。また引用文献2には、引用文献1に記載された発明と同じTi/TiN/Wの3層構造からなる絶縁膜表面上の導電膜を除去するに際して、タングステンとTiN、Tiとで互いに選択性を有するガスを用いて個々にエッチングする発明が記載されており、引用文献2に記載されたエッチング方法を、引用文献1に記載された発明に適用することは、当業者が容易になし得ることである。

また、イオンメタルプラズマ法による堆積も、引用文献3等に記載されているように周知の技術である。

1. 特開平 1 0－0 6 5 0 0 4 号公報
2. 特開平 0 5－3 2 6 5 1 7 号公報
3. 特開平 1 0－3 1 2 9 7 3 号公報

- ・調査した技術分野      I P C第7版    H01L21／28  
  H01L21／768
- ・先行技術文献                 特開平09-321141号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。